1. Плата преобразователя содержит следующие функциональные узлы:

- **2** микросхемы **DDS** генератора **AD9952**, которые как предполагается использовать для формирования синусоидального сигнала. По схеме предполагается их синхронная работа. Одна микросхема является **Master**, а вторая **Slave**. По схеме микросхемы имеют отдельные сигналы – **IOSYNC**. В начальном проекте пока откажемся от синхронной работы схем – имеем:

- **ПЛИС**, в которой реализован:

- один канал формирования сигнала на базе **24-х** разрядной **DDS** схемы

формирования;

- цифровой формирователь импульсов с регулируемым периодом и

длительностью – канал **А**;

- цифровой формирователь импульсов с регулируемым периодом и

длительностью для канала **В.**

1. Схема обеспечивает одновременную работу:

- **2**-х микросхем **DDS** генераторов на базе **AD9952** – формируемый сигнал –

**sin/cos;**

- формирование произвольного сигнала **1024** выборки, **14** бит, записанного

в память **ПЛИС** по двум каналам один и тот же сигнал ( в начальном

варианте проекта);

- формирование **2-**х импульсных сигналов с регулируемым периодом и

длительностью по каналам **А** и **В** с разрешением по амплитуде **1** бит;

- формирование **2**-х импульсных сигнал с регулируемым периодом и

длительностью по каналам **А** и **В** и с регулируемой задержкой между

ними с разрешением по амплитуде **1** бит;

- период и длительность задается с дискретом **10 нс** ( тактовая частота

**100 МГц**.) Максимальная длительность формируемого интервала

задается длиной счетчика – **24** бита.

1. Плата преобразователя используется процессор **STM32F407ZGT6,** который

в начальном проекте используется для:

- записи в регистры микросхем **DDS** генераторов **AD9952;**

- записи данных в **RAM** память **ПЛИС** для формирования сигнала

произвольной формы;

- установки периода, длительности, задержки для формирователей

импульсов **ПЛИС**;

- установки коэффициентов усиления, смещения аналогового тракта

каналов **А** и **В**;

- управлением электронным реле для коммутации каналов формирования и

выходов генератора

1. Для записи данных во внутренние регистры микросхем **AD9952** используется последовательный синхронный интерфейс – **SPI3**. Прием данных в

микросхемы буферизирован – данные переписываются из сдвигового

регистра в рабочие регистры по сигналам - **IOSYNC.**  В начальное

состояние микросхемы устанавливаются сигналом – **RES\_DDS.**

1. Запись данных в память ПЛИС выполняется байтами - **pin.** **D0 - D7.** Память **ПЛИС** содержит **2** блока памяти, выбор которых организован битом адреса **А10** адресной шины процессора. В первый блок памяти записываются данные

**DD0 – DD7**, а во второй блок памяти- данные **DD8 – DD13**. При записи

используется сигнал **RW** процессора в качестве тактового сигнала, сигналы **NE**, **RD**  - не используются. Для записи в память необходимо в регистре управления

**ПЛИС** установить бит записи в состояние лог. **“ 1”**

1. Доступ к регистрам **ПЛИС** осуществляется через последовательный

синхронный интерфейс, реализованный программными средствами

процессора. Используются сигналы выбора адреса регистра **A0\_RG – A3\_RG** – используются порты ввода/вывода процессора, сигнал последовательных данных **DT\_RG**, сигнал синхронизации – **CLK\_RG**. Прием данных в **ПЛИС** буферизирован – данные сначала записываются в сдвиговый регистр, а за тем по сигналу **WR\_RG** переписываются в рабочие регистры **ПЛИС**. Последовательность записи:

- сначала устанавливается адрес регистра;

- по битно записываются данные положительным фронтом сигнала –

**CLK\_RG** – в исходном состоянии должен быть установлен в

состояние лог. **“0 “;**

- после передачи последовательных данных в сдвиговый регистр

сигналом **WR\_RG** данные записываются в регистры **ПЛИС**. **WR\_RG** в

исходном состоянии должен быть установлен в лог. **“0 “**

1. Каждый канал аналогового тракта содержит:

- канал формирования сигналов микросхемы **AD9952**, который содержит

элементы для смещения сигнала - **DAC – AD5697**. Элементы установки

усиления тракта не предусмотрены;

- канал формирования сигналов **ПЛИС,** который содержит элементы

установки усиления тракта. Регулировка усиления тракта выполняется

**ОУ** с регулируемым усилением, управляемых выходным напряжением

**DAC – AD5697**. Регулировка смещения не предусмотрена.

- элементы коммутации для подключения каналов формирования к

выходным усилителям каналов **А** и **В**. В качестве элементов коммутации

используются электронные реле, управляемые выходными портами

**PE12, PE13** процессора;

- элементы коммутации для отключения выходных сигналов каналов от

выходных разъемов генератора. В качестве элементов коммутации

используются электронные реле, управляемые выходными портами

**PE14, PE15** процессора;

Аналоговый тракт генератора содержит в каждом канале **2 DAC** – **AD5697**, которые используются для установки смещения тракта

формирования сигналов микросхем **AD9952** и установки усиления трактов формирования выходных сигналов **ПЛИС**.

Для записи данных в микросхему **AD5697** используется интерфейс **I2C**.

Микросхема **AD5697** содержит **2 12**-битовых ЦАП. **AD5697** имеет **7-ми**

битный адрес. **5** старших бит адреса **00011b**. 2 младших бита устанавливаются **2-**мя выводами микросхемы – **A0,A1**.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | **DA12A** | **DA12B** | **DA13A** | **DA13B** |
| Адрес **A0,A1** | **0 - 0** | **0 - 0** | **1 - 0** | **1 0** |
| Адрес в команде  **DB19-DB18-DB17-DB16** | **0-0-0-1** | **1-0-0-0** | **0-0-0-1** | **0-0-0-1** |
| Выполняемая Функция | **Gain**  **Канал А**  **DDS ПЛИС** | **Смещение**  **Канал А** | **Gain**  **Канал А**  **DDS ПЛИС** | **Смещение**  **Канал В** |

Выбор **DAC** в микросхеме осуществляется записью команды в **24-х**

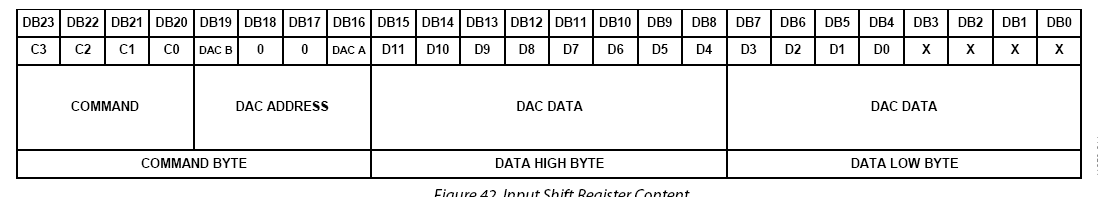
битовый сдвиговый регистр. Для установки выходного напряжения **DAC**

необходимо через интерфейс **I2C** передать:

- **7** бит адреса;

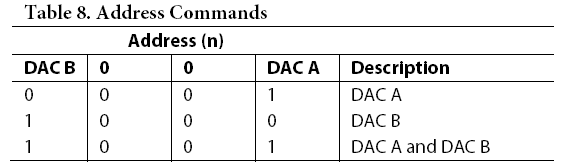
- бит записи **–( R/W = 0),** лог. **“ 0 “;**

- **24** бита данных - начиная со старшего разряда.

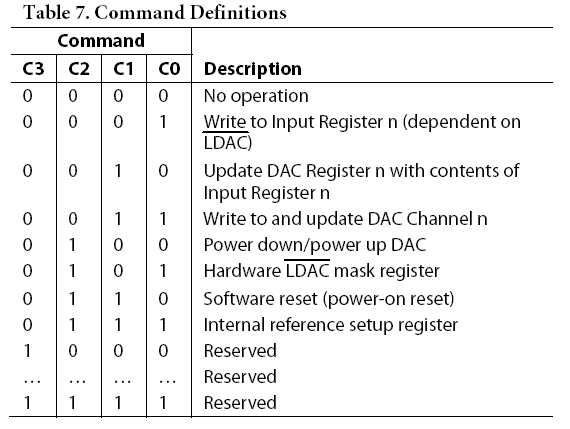
****

Биты **DB19-DB16** регистра определяют в какой из двух **DAC** будет

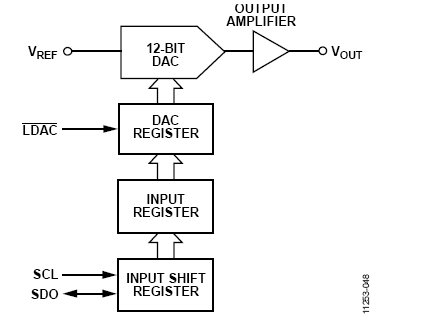
выполнена запись данных.



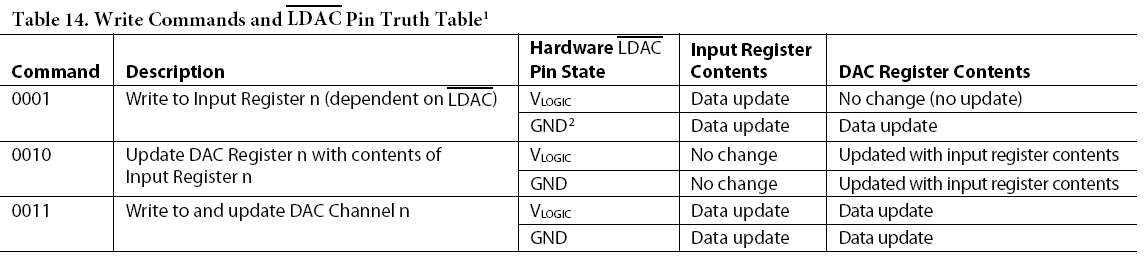
Биты **C3- C0** определяют команду согласно таблицы

****

**DAC AD5697** имеет два банка регистров

****

Записью данных из **Input register** в DAC register управляет сигнал **LDAC.** Имеется несколько вариантов использования сигнала **LDAC** согласно



В проекте следует использовать схему, когда **LDAC** установлен в

состояние лог. **“ 1”**. Данные в **Input register** записываются командой **0001b**.

Данные из Input register записываются в **DAC register** по установке **DAC** в состояние лог. **“ 0”.**

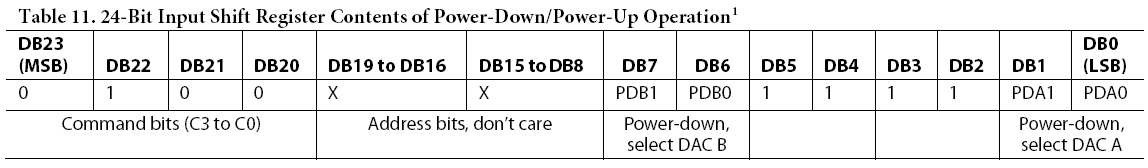
В схеме используется сигнал **RESET/**, по которому выходы **DAC**

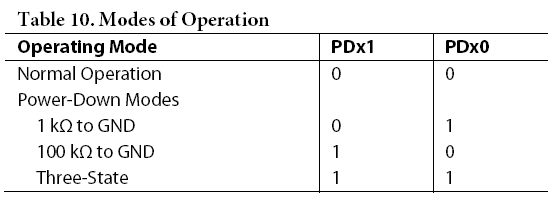
устанавливают на выходе нулевой уровень сигнала. Активный уровень

сигнала лог. **“ 0 “.**

Микросхема имеет **3** режима отключения питания. В проекте эти

режимы не используются





Следует при записи данных в сдвиговый регистр необходимо

устанавливать биты **PDx1, PDx0** в состояние лог. **“ 0”**

1. В процессоре используются следующие модули:

- модуль **SPI1**, работающий в режиме мастера. Разрешение работы **SLAVE**

устройствам обеспечивается сигналом **SPI1\_CS (** бит **PA2**) – используется для

связи с передней панелью;

- модуль **SPI3**, работающий в режиме мастера. Разрешение работы **SLAVE** устройствам обеспечивается сигналом **SPI3\_CS1 (** бит **PF6** -

канал **А**, микросхема **AD9952**)**, SPI3\_CS2 (** бит **PF7** – канал **В**, микросхема

**AD9952**)**.** Интерфейс **SPI3** используется для записи данных в регистры

микросхем **DDS** генератора.

- содержит модуль **I2C**, работающего в режиме мастера. Используется для

программирования микросхем **DAC AD5697**.

- порты **PG5.. PG8** - **A0\_RG … A3\_RG** используются для адресации регистров

**ПЛИС – 16** регистров.

- порт **PD13** – **DT\_RG** используется в качестве сигнала последовательных

данных в регистры **ПЛИС.**

- порт **PD12** - **CLK\_RG** используется в качестве тактов для передачи

последовательных данных в регистры **ПЛИС**.

- порт **PD11** - **WR\_RG**  используется в качестве сигнала записи

последовательных данных в регистры **ПЛИС**.

**-** порт **PF8**  - **IOSYN1** используется в качестве сигнала сброса контроллера

последовательных данных микросхемы **DDS** генератора. Активный уровень

**–“ 1”.** По этому сигналу прекращается прием данных, работа последовательного интерфейса начинается, когда **IOSYN1** устанавливается в состояние

**лог “ 0 “.** Работа последовательного интерфейса разрешается сигналом **SPI3\_CS1 –** активный **лог. “ 0 “.** Асинхронный сброс контроллера **SPI –** установкой **лог.1, а** за тем установкой **лог.0**

- порт **PF9**  - **IOSYN2** используется в качестве сигнала сброса контроллера последовательных данных микросхемы **DDS** генератора. Активный уровень -**“ 1”.** По этому сигналу прекращается прием данных, работа последовательного интерфейса начинается, когда **IOSYN2** устанавливается в состояние

**лог “ 0 “.** Работа последовательного интерфейса разрешается сигналом **SPI3\_CS2 –** активный **лог. “ 0 “.** Асинхронный сброс контроллера **SPI –**

установкой **лог.1,** а за тем установкой **лог.0**

- порт **PF6**  - **SPI3\_CS1** используется в качестве сигнала выбора микросхемы

**DD6 DDS** генератора, в которую записываются последовательные данные.

Активный уровень - **–“ 0”.**

- порт **PF7**  - **SPI3\_CS2** используется в качестве сигнала выбора микросхемы

**DD7 DDS** генератора, в которую записываются последовательные данные.

Активный уровень - **–“ 0”.**

- порт **PC7**  - **IO\_UDP** используется для записи данных из буферного регистра в

рабочий регистр микросхемы **DDS** генератора. Для синхронной работы сигнал

**IO \_UDP** должен подаваться на все микросхемы. Запись в регистры

происходит по положительному фронту сигнала  **IO\_UDP.**

- порт **PC5- D\_RS1** используется как асинхронный сигнал сброса **DAC DA12**

**AD5697** . Сброс происходит по отрицательному фронту сигнала **D\_RS1.** Когда

**D\_RS1 –лог. “ 0” LDAC** сигналы игнорируются. Когда **D\_RS1 –лог. “ 1 ”**

входной регистр и **DAC** регистр устанавливаются в состояние середины шкалы

независимо от установки **pin. RSTSEL.** Если по включению **D\_RS1 –лог. “ 0”**

инициализация **DAC** выполняется неправильно.

**-** порт **PB0- D\_RS2** используется как асинхронный сигнал сброса DAC DA12

AD5697 . Сброс происходит по отрицательному фронту сигнала **D\_RS2.** Когда

**D\_RS2–лог. “ 0” LDAC** сигналы игнорируются. Когда **D\_RS2 –лог. “ 1 ”**

входной регистр и **DAC** регистр устанавливаются в состояние середины шкалы

независимо от установки **pin. RSTSEL.**

- порт **PC2** – **LDAC1** используется для записи данных из буферного регистра в

рабочий регистр микросхемы **DAC** смещения. **( DA12).** В исходном состоянии

должен быть установлен в состояние **лог. “ 1 “.** Установка в состояние лог. **“ 0 “**

записывает информацию из входного регистра в регистр **DAC**.

- порт **PC3** – **LDAC2** используется для записи данных из буферного регистра в

рабочий регистр микросхемы **DAC** смещения. **(DA13**). В исходном состоянии

должен быть установлен в состояние **лог. “ 1 “.** Установка в состояние лог. **“ 0 “**

записывает информацию из входного регистра в регистр **DAC**.

- порт **PE12- PE12** используется для управления электронными реле

(сигналы **P1 – P4** );

- **P1** – лог **“ 0 “** тракт формирования **ПЛИС** канала **А**;

**- P1** – лог **“ 1 “** тракт формирования **sin AD9952** канала **А**;

- **P2** – лог **“ 0 “** тракт формирования **ПЛИС** канала **B;**

- **P2** – лог **“ 1 “** тракт формирования **sin AD9952** канала **B**;

**- P3 -** лог **“ 0 “** отключение выхода канала **А;**

**- P3 -** лог **“ 1 “** включение выхода канала **А;**

**- P4 -** лог **“ 0 “** отключение выхода канала **В;**

**- P4 -** лог **“ 1 “** включение выхода канала **В;**

1. Регистр управления **ПЛИС** имеет **16 бит,** адрес **0h**. Назначение его битов:

- **D0** – **“ 1 “** - запись данных в память;

- **D0** - **“ 0”** – чтение памяти;

- **D1** – **“ 0 “** – разрешение работы памяти;

- **D1** – **“ 1 “** - запрещена работа памяти;

- **D3,D2** – режимы работы **ПЛИС**

**0 – 0h** - чтение блока памяти в режиме **DDS** генератора;

**0 – 1h** – формирование импульса с установленной длительность и

периодом. В начальном проекте имеется только один

формирователь, поэтому временные параметры сигналов по

каналам **A** и **B** одинаковы.

**0 – 1**h – используются **2** формирователя импульсов. **1** –й формирователь

формирует импульс по каналу **A** – период, длительность, **2**-й

по каналу **B** – период, длительность, задержка относительно

импульса канала **A**;

- **D4** - установка полярности импульсов по каналам **A** и **B**

- **D4 –“1”** – положительный импульс, **“0”** – отрицательный импульс

Из за допущенной ошибки невозможно установить полярность импульсов для

каждого канала. Она будет одинаковой для каналов. Амплитуда импульсов

будет вдвое меньше ( так как биты **DS11…DS0** не меняются в режимах

формирования импульсов).

1. **ПЛИС** содержит **6 24**- разрядных регистров параметров формируемых

сигналов:

- регистр с адресом **06h** используется для установки частоты сигнала,

формируемого **DDS** схемой формирования **ПЛИС**;

- регистр с адресом **01h** используется для установки длительности периода

импульсного сигнала в канале **А**. Длительность периода задается в тактах

генератора частоты **100 МГц.**

- регистр с адресом **02h** используется для установки длительности

импульсного сигнала в канале **А**. Длительность задается в тактах генератора

частоты **100 МГц.**

- регистр с адресом **03h** используется для установки длительности периода

импульсного сигнала в канале **В.**

- регистр с адресом **05h** используется для установки длительности

импульсного сигнала в канале **В**

- регистр с адресом **04h** используется для установки задержки сигнала канала **В**

относительно сигнала, сформированного в канале **А**.

Передача данных в **ПЛИС** начинается со старшего бит.

1. **ПЛИС** содержит модуль формирования на базе **DDS** схемы формирования. Он позволяет записать в память **1024** слова **14** бит сигнал произвольной формы и вывести его с установленной частотой. Для проекта необходимо реализовать формирование пилообразного сигнала, треугольного сигнала, синусоидального сигнала. Необходимо:

- вычислить значение сигнала для **1024** точек периода. Следует учесть, что

сигнал биполярный, полярность сигнала определяется старшим битом –

**DD13**, лог. **“ 1 “** – положительный сигнал, лог. **“ 0 “** – отрицательный сигнал,

значение сигнала представлено **13** битами;

- вычисленные значения должны быть записаны в память **ПЛИС**;

- схема **DDS** формирователя содержит **24-х** разрядный фазовый аккумулятор,

старшие адреса которого подключены к адресным входам **RAM ПЛИС**;

- выходная частота сформированного сигнала определяется формулой

**Fs= M\*F0/2^24** , где **M –** код регистра частоты**, F0** – тактовая частота

1. В каждом канале Генератора используется своя микросхема **DDS** генератора **AD9952**, которая обеспечивает формирование синусоидального сигнала. Микросхема работает от внешнего генератора – **ПЛИС**, используется тактовая частота **100 МГц**. Микросхема управляется через последовательный интерфейс трех проводный интерфейс. Микросхема содержит **6** регистров. Запись данных в регистры буферизирован. Сначала данные записываются в сдвиговый регистр, а за тем по сигналу **I / O UPDATE** переписываются в рабочие регистры

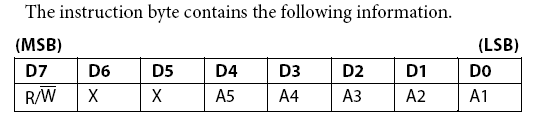
микросхемы .

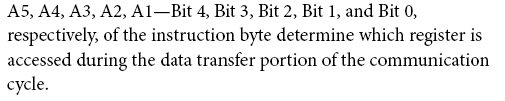
Есть две фазы последовательного ввода / вывода коммуникационного цикла:

• • Этап 1: Инструкция (один байт)

• • Фаза 2: Данные (один или несколько байтов)

Фаза 1 байт инструкция, работающий в первой восемь фронты **SCLK.** Этот один байт обеспечивает **AD9952** контроллер последовательного порта с информацией, что он нуждается о предстоящей фазе данных.





Число байтов, переданных во время фазы **2** зависит, от того, конкретный регистр осуществляется доступ. Шаг **1** завершен когда оба байта инструкции и требуемое количество данных байты записываются или считываются . После завершения этапа **2**, последовательный порт **AD9952** контроллер ожидает приема новой инструкции.

Прием данных синхронизируется нарастающим фронтом сигнала **SCLK**.

Программа должна реализовать следующую последовательность операций для

записи данных в регистры **AD9952:**

- в зависимости от выбранного канала установить сигнал **SPI3\_CS1** (порт **PF6** )

или **SPI3\_CS2** (порт **PF7** ) в состояние лог. **“ 0 “;**

- передать по последовательному интерфейсу **SPI3** инструкцию – **8** бит и требуемые

данные;

- по завершению передачи данных установить сигнал **IO/UPD** ( порт **PC7** ) в

состояние лог. **“ 1 “,** а за тем в состояние лог. **“ 0 “;**

- установить сигналы **SPI3\_CS1** (порт **PF6** ) или **SPI3\_CS2** (порт **PF7** ) в состояние

лог. **“ 1 “**;

Регистр с адресом **00h** используется для управления режимами работы микросхемы. Длина регистра **32** бита. В исходном состоянии в регистре записаны данные

**00 -00 -00 -00h**

В 32-х разрядном слове:

**D0** – не используется;

**D1** – разрешение формирования сигнала **SYNC\_CLK**. Этот сигнал используется для

совместной работы 2-х микросхем - не разрешено формирование сигнала

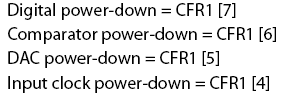
**SYNC\_CLK**. **D1-** лог. **“0”** обеспечивает минимальный уровень шумов;

**D2** - не используется;

**D3** – вывод микросхемы **PWRDWNCTL** – **pin.35** соединен с **GND**. В этом режиме

возможно отключение питания с отдельных узлов микросхемы через регистр

управления



В проекте отключение питания не используется

**D4** – отключение питания **clock input circuitry** – **1**, не используетя - **“ 0 “;**

**D5,D6, D7** – возможности отключения питания в проекте не используются,

установлены в состояние лог. **“ 0”**

**D8** – **“ 0 “** - последовательный интерфейс принимает данные начиная со старшего

бита

**D9 SDIO pin.** **“ 0 “** – работает в двух направленном режиме. По схеме необходимо

установить бит **D9** в состояние лог. **“1”;**

**D10 -** очистка фазового аккумулятора – лог. **“ 1”** ( пока не будет установлен **D10** –

лог. **“ 0”.** Для нормальной работы **D10** - лог. **“ 0”.**

**D11** – не используется;

**D12** - **Sine/Cosine Select Bit. D12 – лог. “ 0” –** функция преобразования **Cos/sine**

**D13** - лог. **“ 1”** – очистка фазового аккумулятора по сигналу **I/O UPDATE, лог. “ 0 “ -**

состояние фазового аккумулятора по сигналу **I/O UPDATE не изменяется.**

**DD14…DD21** не используется;

**DD22** - **“ 0”** (по умолчанию). Функция ручной синхронизации является

неактивный. В схеме используется режим автоматической

синхронизации

**DD23** - **“ 0”** (по умолчанию). Функция автоматической синхронизации является

неактивный. В схеме используется режим автоматической

синхронизации. Устройство синхронизирует его внутреннее

**(SYNC\_CLK),** чтобы выровнять к сигналу присутствует на входе

**SYNC\_IN.** Один **DDS** генератор работает в режиме **MASTER,** а второй в

режиме **SLAVE.** В **SLAVE** устройстве должен быть установлен бит –

**CFR1[23]** – **лог.1.** Выход **SYNK\_CLK** - **pin. 45 MASTER** должен быть

соединен с **SYNK\_IN** – **pin. 44 SLAVE**.

**DD24** - **“ 0”** (по умолчанию). Когда **DD25** – лог. **“ 1 “** активен, каждая амплитуда

выборок, отправленных на ЦАП умножается на масштабный

коэффициент.

**DD25** - **“ 0”** (по умолчанию) - амплитудная манипуляция выключена. **DD25** – **“1”**

двухпозиционный манипуляция включена

**DD26** - **“ 0”** (по умолчанию) Таймер скорости нарастания амплитуды загружается по

истечению установленного интервала и не загружается по сигналу

**I/O Update**

**DD27…DD31** не используются;

**Control Function Register 2 (CFR2) – адрес 0х01**

**DD12…DD23** не используются;

**DD11** - **“ 0”** (по умолчанию) - Этот бит должен быть установлен в лог. **“ 1”**

при использовании функции автосинхронизации для Входы **SYNC\_CLK**

за пределами **50 МГц (200 MSPS SYSCLK).**

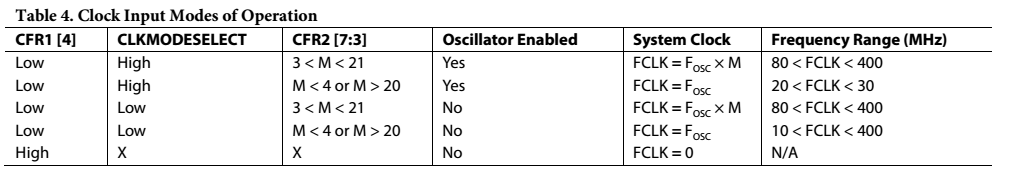
**DD10** - **“ 0”** (по умолчанию), Функция ручной ручной синхронизации включена.

03 **DD9** - **“ 0”** (по умолчанию), по схеме выход **CRYSTAL OUT** не предусмртрен

**DD8** - не используются;

**DD7- DD3** – установка коэффициента **PLL**. По схеме pin. **CLKMODESELECT**

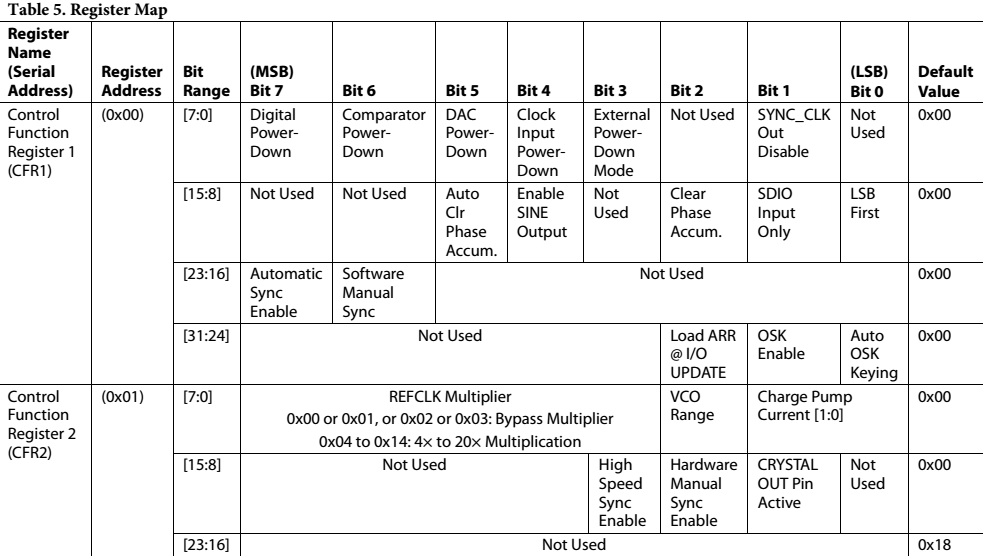
установлен в состояние лог**.” 0”.** Используется внешний генератор.

****

Согласно таблицы **M** должен быть установлен **М=1**

**DD2** - **“ 0”** (по умолчанию), The VCO operates in a range of **100 MHz** to **250 MHz**.

**DD1-DD0** - управляет элементами фазовой петли **ОС** - не изменять



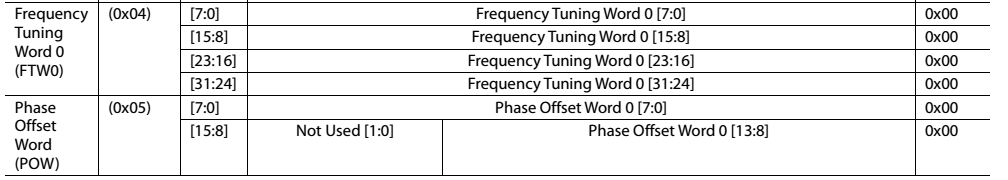
Регистр **FTWO** – служит для настройки частоты, имеет **32** разряда – адрес

**0х04** **FTW** – код регистра, **Fs – 100 MHz, F0** – частота сигнала **DDS**

генератора

****

Регистр **PWO** – служит для установки фазы, имеет **14** разрядов – адрес **0х05h**

****

1. Начальная инициализация генератора при работе каналов формирования с

микросхемами **AD9952** включает:

- установку сигналов **SPI3\_CS1, SPI3\_CS2** в состояние лог. **“ 1 “;**

- установку сигнала **IO\_UPD** в состояние лог. **“ 0** “;

- установку сигналов **P1,P2** в состояние лог. **“ 1 “** – выходы микросхем **DDS**

генератора подключены к выходным усилителям;

- установить сигналы **LDAC1, LDAC2** в состояние лог. **“ 1 “**;

- установить сигналы **D\_RS1, D\_RS2** в состояние лог. **“ 1 “;**

- выполнить сброс **DAC AD5697**, установив сигналы **D\_RS1, D\_RS2** в

состояние лог. **“ 0 “**, а за тем в состояние лог. **“ 1 “** – устанавливается нулевое

напряжение смещения;

1. Для канала формирования сигнала с микросхемами **AD9952** реализована

аппаратная поддержка следующих функций:

- формирование синусоидального сигнала по двум канала;

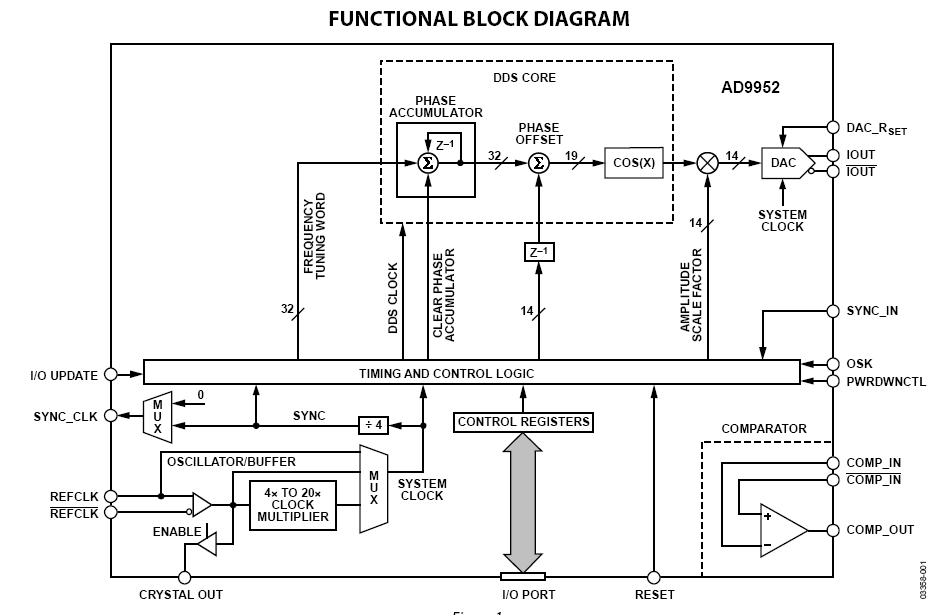
- установку частоты и фазы сигнала;

- установку смешения для каждого канала. Поскольку характеристики тракта

не определены нельзя поставить в соответствие код **DAC** смещения со

значением напряжения. Поэтому на начальном этапе значение смещения

задавать в дискретах **( 0 – 4095)** и отображать также в дискретах.



1. Функциональная схема содержит аппаратный умножитель, который

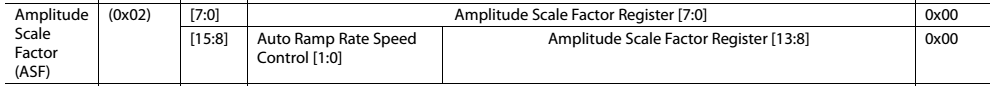
позволяет управлять амплитудой сформированного сигнала. Для его

использования необходимо:

- в регистре управления установить бит **DD25** в состояние лог. **“ 1 “**, бит

**DD24** должен быть установлен в состояние лог. **“ 0”;**

- записать код в регистр **ASF – 14** бит



1. Для использования формирователей сигналов, реализованных в **ПЛИС**

необходимо в режиме **DDS** генератора:

- установку сигналов **P1,P2** в состояние лог. **“ 0 “** – выходы

формирователей **ПЛИС** подключены к выходным усилителям;

- выполнить сброс **DAC AD5697**, установив сигналы **D\_RS1, D\_RS2** в

состояние лог. **“ 0 “**, а за тем в состояние лог. **“ 1 “** – устанавливается

исходное значение коэффициентов передачи каналов **А** и **В**;

- в регистр управления **ПЛИС** записать данные, в которых

- **DD0** - бит записи установлен в состояние лог**.” 1 “** – запись

разрешена;

- **DD1** - бит разрешения памяти установлен в состояние лог**.” 0 “** –

разрешена работа памяти;

- **DD2,DD3** – биты режима установлены в состояние лог**.” 00h “** – режим

**DDS** генератора;

- записать процессором в **RAM ПЛИС** массив данных выбранного сигнала

- **1024** значений **14** бит;

- в регистр управления **ПЛИС** записать данные, в которых

- **DD0** - бит записи установлен в состояние лог**.” 0 “** – запись запрещена;

- **DD1** - бит разрешения памяти установлен в состояние лог**.” 0 “** –

разрешена работа памяти;

- **DD2,DD3** – биты режима установлены в состояние лог**.” 00h “** – режим

**DDS** генератора;

- в регистр частоты ( адрес **01h** ) записать код частоты;

17. Аналоговый тракт каналов формирования содержит элементы для

электронного управления коэффициента передачи тракта, в качестве

которых используются **ОУ** с управляемым усилением. Управление

осуществляется **DAC AD5697**. В программе необходимо предусмотреть

установку кодов **DAC**, используемых для управления усилением с

отображением на дисплее задаваемого кода.

1. Для установки режимов формирования импульсных сигналов необходимо:

- установить сигналы **P1,P2** в состояние лог. **“ 0 “** – выходы

формирователей **ПЛИС** подключены к выходным усилителям;

- выполнить сброс **DAC AD5697**, установив сигналы **D\_RS1, D\_RS2** в

состояние лог. **“ 0 “,** а за тем в состояние лог. **“ 1 “** – устанавливается

исходное значение коэффициентов передачи каналов **А** и **В**;

- в регистр управления **ПЛИС** записать данные, в которых

- **DD0** - бит записи установлен в состояние лог**.” 0 “** – запись запрещена;

- **DD1** - бит разрешения памяти установлен в состояние лог**.” 1 “** –

запрещена работа памяти;

- **DD2,DD3** – биты режима установлен в состояние лог**.” 01h “** или –

**” 02h “** - режим формирования импульсов;

- записать коды длительностей в регистры периода, длительности и

задержки ( режим **02h** ) в зависимости от установленного режима.